

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: LEE, Chao-Cheng et al Conf.:
Appl. No.: NEW Group:
Filed: October 8, 2003 Examiner:
For: CIRCUIT APPARATUS OPERABLE UNDER HIGH
VOLTAGE

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

October 8, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

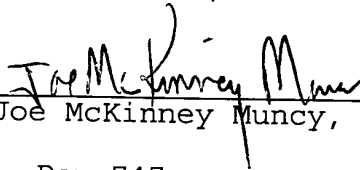
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	091138197	December 31, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

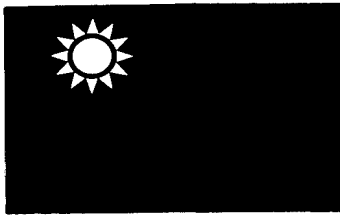
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

KM/smt
3722-0164P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



LEE et al
October 8, 2003

762-265-8000
3722-0181
[59]

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 31 日
Application Date

申請案號：091138197
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 15 日
Issue Date

發文字號：09220825510
Serial No.

91A-00012W

申請日期：

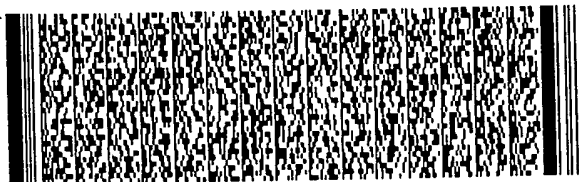
IPC分類

申請案號：

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	能在高電壓下操作的電路裝置
	英文	CIRCUIT APPARATUS OPERABLE UNDER HIGH VOLTAGE
二、 發明人 (共2人)	姓名 (中文)	1. 李朝政
	姓名 (英文)	1. LEE, Chao-Cheng
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市300科學園區工業東九路2號
	住居所 (英文)	1. No. 2, Industry E. Rd. IX, Science-Based Industrial Park, Hsin Chu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓名 (英文)	1. Realtek Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市300科學園區工業東九路2號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 2, Industry E. Rd. IX, Science-Based Industrial Park, Hsin Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. YEH, Po-len

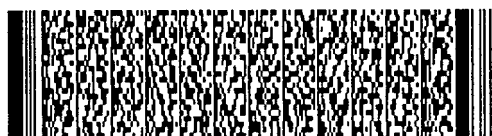


申請日期：	IPC分類
申請案號：	

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 江明澄
	姓 名 (英 文)	2. GHIANG, Ming-Cheng
	國 籍 (中 英 文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹市300科學園區工業東九路2號
	住居所 (英 文)	2. No. 2, Industry E. Rd. IX, Science-Based Industrial Park, Hsin Chu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：能在高電壓下操作的電路裝置)

本發明提供一種類比電路裝置，其乃連接至一高電源電壓，並包含一電晶體、及一介面單元。電晶體具有低於前述高電源電壓之一低工作電壓。介面單元係與該電晶體串聯連接，俾使前述電晶體正常運作。

五、(一)、本案代表圖為：圖1

(二)、本案代表圖之元件代表符號簡單說明：

10~PMOS 電晶體

20~NMOS 電晶體

30~介面單元

32~電阻

34~電容

36~耐高壓NMOS電晶體

38~耐高壓PMOS電晶體

六、英文發明摘要 (發明名稱：CIRCUIT APPARATUS OPERABLE UNDER HIGH VOLTAGE)

A circuit apparatus connected to a high voltage source is disclosed. The circuit apparatus includes a transistor and an interface unit. The transistor has a low operation voltage smaller than the high power voltage. The interface unit is connected to the transistor in series so that the transistor may operate normally.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

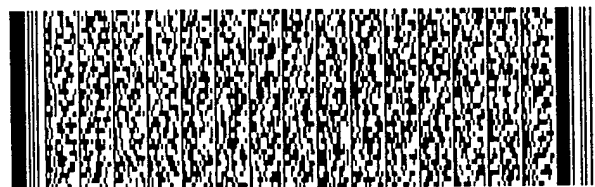
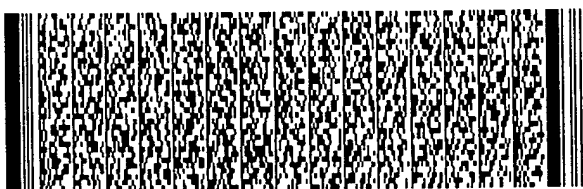
【發明所屬之技術領域】

本發明係關於一種類比電路裝置，尤其關於一種使低壓元件能在高電源電壓下操作的類比電路裝置。

【先前技術】

隨著半導體製程的演進，使得晶片上的電晶體密度越來越高，而能使用的操作電壓也越來越低。如果將耐電壓1.2伏特之 $0.13\ \mu\text{m}$ 互補式金氧半導體(CMOS)製程的晶片操作在3.3伏特之電壓下，則不用幾秒鐘就會把晶片燒毀，此乃因為3.3伏特超過 $0.13\ \mu\text{m}$ 製程的晶片的崩潰電壓(breakdown voltage)。然而，在一片電路板上通常具有多數之晶片，為了在這些晶片中交流彼此的資料，就必須達到某個共同約定的輸出振幅大小。對於數位訊號而言，較常見的輸出振幅大小是3.3伏特。為了訊號之輸出振幅大小能達到3.3伏特，製造廠會在同一個製程中提供可以耐壓3.3伏特的元件以供輸出入的電路使用。可以耐壓3.3伏特的元件的閘極絕緣層的厚度大約和 $0.35\ \mu\text{m}$ 的CMOS製程所製造出的元件的閘極絕緣層的厚度差不多。

在類比通訊方面，類比通訊約定大都是用來約定長距離的訊號傳送與接收。譬如兩台電腦之間的資訊交換，就可以使用類比通訊約定。由於類比通訊約定是用於長距離的訊號傳送與接收，所以必須考慮訊號會受到電線影響而衰減，所以這些通訊規格會要求較大的輸出振幅，譬如2伏特。如果要用目前先進的製程(譬如 $0.13\ \mu\text{m}$ 製程)來設計



五、發明說明 (2)

這些通訊用的類比電路，就必須使用可以耐壓3.3伏特的元件來設計，而且這些元件是操作在3.3伏特的電壓下。由於耐壓3.3伏特的元件的閘極絕緣層的厚度大約和採用 $0.35\mu\text{m}$ 之CMOS製程所製造出的元件的閘極絕緣層的厚度差不多。因此，與耐壓1.2伏特的元件比較而言，操作速度要慢許多。

因此，晶片中通常需要存在有能耐受兩種不同電壓的元件，其中一種是可耐低電壓，操作速度較快，另一種是可耐高電壓，操作速度較慢。如果要使設計出的類比電路可以耐高壓且具有快速之操作速度，就成為一項困難的問題。

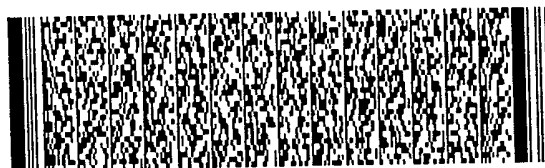
【發明內容】

本發明之一個目的係為提供一種使低壓元件能在高電壓下操作的類比電路裝置。

本發明之另一目的係為提供一種可在高電壓下高速操作的類比電路裝置。

為達成上述目的，本發明提供了一種類比電路裝置，其乃連接至一高電源電壓，並包含一電晶體及一介面單元。電晶體具有低於前述高電源電壓之一低工作電壓。介面單元係與該電晶體串聯連接，俾使前述電晶體正常運作。

上述類比電路裝置之介面單元可包含一電阻、及與該電阻並聯連接之一電容。



五、發明說明 (3)

上述類比電路裝置之介面單元可包含一耐高壓之NMOS電晶體，其具有大於前述低工作電壓之一高工作電壓，並具有一閘極用以接收一第一控制訊號，前述第一控制訊號在前述類比電路裝置之一省電模式時為一低電位訊號。

上述類比電路裝置之介面單元可包含一耐高壓之PMOS電晶體，其具有大於前述低工作電壓之一高工作電壓，並具有一閘極用以接收一第二控制訊號，前述第二控制訊號在前述類比電路裝置之一省電模式時為一高電位訊號。

上述類比電路裝置之介面單元可包含：一耐高壓之PMOS電晶體，其具有大於前述低工作電壓之一高工作電壓，並具有一閘極用以接收一第一控制訊號，前述第一控制訊號在前述類比電路裝置之一省電模式時為一低電位訊號；及一耐高壓之PMOS電晶體，與前述耐高壓之NMOS電晶體並聯連接，並具有大於前述低工作電壓之一高工作電壓，且具有一閘極用以接收一第二控制訊號，前述第二控制訊號在前述類比電路裝置之一省電模式時為一低電位訊號。

藉由上述構造，可以使低壓元件在高電源電壓下快速運作，藉以符合目前電路設計之需求。

【實施方式】

圖1顯示本發明之類比電路裝置之示意圖。如圖1所示，此類比電路裝置可視為包含有一PMOS電晶體10以及一介面單元30；或包含一NMOS電晶體20以及一介面單元30；



五、發明說明 (4)

或包含有一PMOS電晶體10，一NMOS電晶體20，以及一介面單元30。以該電路裝置包含一PMOS電晶體10，一NMOS電晶體20，以及一介面單元30為例說明之，PMOS電晶體10與NMOS電晶體20至少一個具有低於高電源電壓(操作電壓)VDD之一低工作電壓，且兩者具有其功能以完成特定之目的。舉例而言，PMOS電晶體10可具有一第一崩潰電壓

(breakdown voltage)，且可於一第一工作電壓下操作，NMOS電晶體20可具有一第二崩潰電壓，且於一第二工作電壓下操作。PMOS電晶體10或NMOS電晶體20若直接在高電源電壓下操作，會發生崩潰(avalanche breakdown)。介面單元30係介設於PMOS電晶體10與NMOS電晶體20之間。具體言之，PMOS電晶體10之源極S連接至高電源電壓VDD，汲極D連接至介面單元30之一端。NMOS電晶體20之源極S連接至接地電壓VGND，汲極D連接至介面單元30之另一端。因此，PMOS電晶體10、介面單元30及NMOS電晶體20係串聯連接。PMOS電晶體10及NMOS電晶體20中若個別被施加以前述高電源電壓VDD，則因為前述高電源電壓VDD超過PMOS電晶體10及NMOS電晶體20的崩潰電壓(breakdown voltage)，而造成PMOS電晶體10及NMOS電晶體20會快速燒毀，或者在將PMOS電晶體10的汲極D直接連接至NMOS電晶體20之汲極D的情況下，PMOS電晶體10與NMOS電晶體20亦會燒毀。藉由適當設計介面單元30，可使跨越PMOS電晶體10與NMOS電晶體20之電壓適合於使上述電晶體正常運作。以下說明介面單元30之構造。

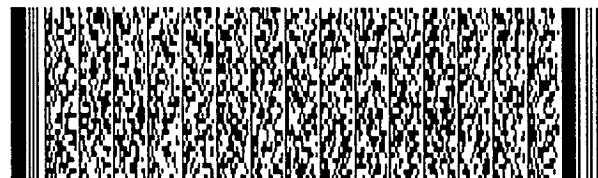
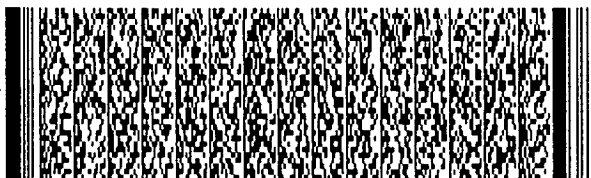


五、發明說明 (5)

圖2顯示依據本發明之第一實施例之示意圖。如圖2所示，本實施例之類比電路裝置包含有PMOS電晶體10，NMOS電晶體20，以及介面單元30。介面單元30包含並聯連接之一電阻32與一電容34。電阻32可以分擔電壓差($V_{DD}-V_{GND}$)之一部份，而使跨越屬於低壓元件之PMOS電晶體10及NMOS電晶體20的電壓差可處於低壓元件所能耐受的範圍內(即跨越PMOS電晶體10及NMOS電晶體20的電壓差皆低於PMOS電晶體10及NMOS電晶體20的崩潰電壓)。因此，PMOS電晶體10與NMOS電晶體20不至於燒毀。在正常工作的類比電路裝置中，電路裝置的電流值大多在設計時已經確定。若原電路裝置之電流值是 I ，而希望分擔的電壓差是 V ，則可以設定此電阻值為 $R=V/I$ 。

然而，電阻和電路裝置中的寄生電容會形成極點(Pole)而造成信號的延遲，因而使電路裝置的操作速度變慢。所以，本發明加上與電阻32並聯之電容34以造成零點(Zero)來跟上述極點互相抵銷，即可以使電路裝置的操作速度不受外加電阻的影響。

圖3顯示依據本發明之第二實施例之示意圖。如圖3所示，本實施例之介面單元30包含一耐高壓NMOS電晶體36，其具有大於前述低工作電壓之一高工作電壓，並通常具有高於第一崩潰電壓之量值的第三崩潰電壓(但在某些設計考量下，其亦可以具有等於或低於第一崩潰電壓之量值的第三崩潰電壓)，且其閘極G接省電模式的第一控制訊號 V_{PS1} ，而此第一控制訊號 V_{PS1} 在電路裝置之省電模式下為低電位訊



號。

此耐高壓NMOS電晶體36可能在三極體區(Triode Region)以及飽和區(Saturation Region)下運作。

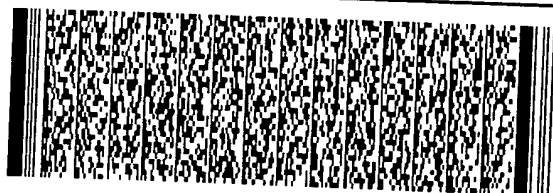
在三極體區之運作情形下，可將耐高壓NMOS電晶體36視為一個電阻，其電阻值R可以利用下述方程式表示：

$$R \approx \frac{1}{\mu_0 C_{ox} (V_{GS} - V_T)} \quad (1)$$

其中， μ_0 為MOS電晶體的電洞遷移率(Mobility)， C_{ox} 為閘極氧化層電容(Gate Oxide Capacitance)， V_T 為閾電壓(Threshold Voltage)。

在正常運作的情形下，此電阻可以產生電壓差，藉以分擔電壓差($V_{DD} - V_{GND}$)之一部份，而使跨越PMOS電晶體10與NMOS電晶體20的電壓符合它們所能耐受的電壓。電阻值的設計方式係與第一實施例所述之原理相同。

在飽和區之運作情形下，耐高壓NMOS電晶體36之源極S所接的低壓NMOS電晶體20在小訊號分析時，可視為是電流源，其電流大小乃由閘極電壓所控制。於此情況下，耐高壓NMOS電晶體36可與NMOS電晶體20形成一個疊接(Cascode)電流源。疊接電流源之輸出阻抗比單一NMOS電晶體來得高。若原NMOS電晶體20的輸出阻抗為 $ro1$ ，則加上於飽和區運作的耐高壓NMOS電晶體36後，所形成的疊接電流源之輸出阻抗為 $ro1 * (gm2 * ro2)$ 。其中， $gm2$ 是耐高壓NMOS電晶體36之小訊號轉導係數， $ro2$ 是耐高壓NMOS電晶體36之輸出阻



五、發明說明 (7)

抗。

在省電模式下，耐高壓NMOS電晶體36為一個斷路的開關。在斷路後，接在耐高壓NMOS電晶體36之源極S的低壓NMOS電晶體20的所有端點都是處於接地電位VGND，而接在耐高壓NMOS電晶體36之汲極D的低壓PMOS電晶體10的所有端點，都是處於高電源電壓VDD。因此，PMOS電晶體10與NMOS電晶體20在省電模式下並不會遭遇到高電壓之問題。值得注意的是，亦可以使用CMOS電晶體來取代耐高壓NMOS電晶體36。

圖4顯示依據本發明之第三實施例之示意圖。如圖4所示，本實施例之介面單元30包含一耐高壓PMOS電晶體38，其閘極接省電模式的第二控制訊號 V_{PS2} ，而此第二控制訊號 V_{PS2} 在電路裝置之省電模式下為高電位訊號。

此耐高壓PMOS電晶體38亦可能在三極體區(Triode Region)以及飽和區(Saturation Region)下運作。

在三極體區之運作情形下，可將耐高壓PMOS電晶體38視為一個電阻，其電阻值亦與耐高壓NMOS電晶體36可以以相同方程式(1)表示。

在正常運作的情形下，原理與第二實施例相同。電阻值之作用係與第一實施例所述之原理相同。

在飽和區之運作情形下，耐高壓PMOS電晶體38之源極S所接的低壓PMOS電晶體10在小訊號分析時，可視為是電流源，其電流大小乃由閘極電壓所控制。於此情況下，耐高壓PMOS電晶體38可與PMOS電晶體10形成一個疊接電流源。

五、發明說明 (8)

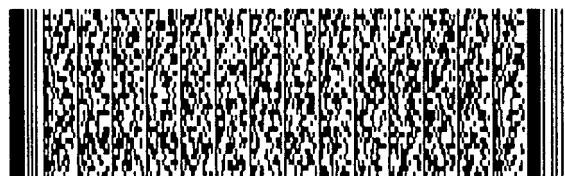
疊接電流源之輸出阻抗比單一PMOS電晶體來得高。若原PMOS電晶體10的輸出阻抗為 r_{o1} ，則加上於飽和區運作的耐高壓PMOS電晶體38後，所形成的疊接電流源之輸出阻抗為 $r_{o1}*(g_{m2}*r_{o2})$ 。其中， g_{m2} 是耐高壓PMOS電晶體38之小訊號轉導係數， r_{o2} 是耐高壓PMOS電晶體38之輸出阻抗。

在省電模式下，耐高壓PMOS電晶體38為一個斷路的開關。在斷路後，接在耐高壓PMOS電晶體38之汲極D的低壓NMOS電晶體20的所有端點都是處於接地電位VGND，而接在耐高壓PMOS電晶體38之源極S的低壓PMOS電晶體10的所有端點，都是處於高電源電壓VDD。因此，PMOS電晶體10與NMOS電晶體20在省電模式下亦不會遭遇到高電源電壓之問題。值得注意的是，亦可以使用CMOS電晶體來取代耐高壓PMOS電晶體38。

圖5顯示依據本發明之第四實施例之示意圖。如圖5所示，本實施例之介面單元30包含：一耐高壓NMOS電晶體36，其閘極G接省電模式的第一控制訊號 V_{PS1} ，而此第一控制訊號 V_{PS1} 在電路裝置之省電模式下為低電位訊號；以及一個與耐高壓NMOS電晶體36並聯之耐高壓PMOS電晶體38，其閘極G接省電模式的第二控制訊號 V_{PS2} ，而此第二控制訊號 V_{PS2} 在電路裝置之省電模式下為高電位訊號。

此耐高壓NMOS電晶體36及耐高壓PMOS電晶體38可能在三極體區(Triode Region)以及飽和區(Saturation Region)下運作。

在三極體區之運作情形下，可將耐高壓NMOS電晶體36



五、發明說明 (9)

及耐高壓PMOS電晶體38視為一個電阻，其電阻值R可以利用下述方程式表示：

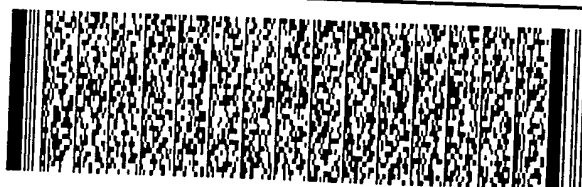
$$R \approx \frac{1}{\mu_{0N} C_{OXN} (V_{GSN} - V_{TN}) + \mu_{0P} C_{OXP} (V_{GSP} - V_{TP})} \quad (2)$$

其中， μ_{0N} 為NMOS電晶體的電洞遷移率， C_{OXN} 為其閘極氧化層電容， V_{TN} 為其閾電壓； μ_{0P} 為PMOS電晶體的電洞遷移率， C_{OXP} 為其閘極氧化層電容， V_{TP} 為其閾電壓。

在正常運作的情形下，此電阻之運作原理與第一實施例所述之原理相同，於此不再贅述。

在省電模式下，耐高壓NMOS電晶體36及耐高壓PMOS電晶體38為一個斷路的開關。在斷路後，低壓NMOS電晶體20的所有端點都是處於接地電位VGND，而低壓PMOS電晶體10的所有端點，都是處於高電源電壓VDD。因此，PMOS電晶體10與NMOS電晶體20在省電模式下並不會遭遇到高電壓之問題。

舉例而言，可將本發明之介面單元應用在差動放大器上，可以使差動放大器高速運作，同時不受低壓元件耐壓問題的困擾。圖6與7顯示依據本發明之第五及第六實施例之示意圖。如圖6與7所示，應用本發明之介面單元的差動放大器各包含五個MOS電晶體41-45(51-55)及兩個介面單元30依據附圖之方式進行配置。Vip及Vin是輸入電壓，Vop及Von是輸出電壓。Vbn及Vbp是電流的控制電壓，使得這電路可以操作在預定設計好的電流下。藉由介面單元30之作



五、發明說明 (10)

用，可以避免低壓元件遭受到高電壓。因此，於上述之差動放大器中，可以使用低壓之MOS電晶體，以達到快速運作之目的。

雖然上述實施例係以PMOS及NMOS電晶體來作說明，但是只要是符合上述特性之電晶體，都是屬於本發明所示用之範圍。

以上雖以實施例說明本發明，但並不因此限定本發明之範圍，只要不脫離本發明之要旨，該行業者可進行各種變形或變更。



圖式簡單說明

【圖式簡單說明】

圖1顯示本發明之類比電路裝置之示意圖。

圖2顯示依據本發明之第一實施例之示意圖。

圖3顯示依據本發明之第二實施例之示意圖。

圖4顯示依據本發明之第三實施例之示意圖。

圖5顯示依據本發明之第四實施例之示意圖。

圖6顯示依據本發明之第五實施例之示意圖。

圖7顯示依據本發明之第六實施例之示意圖。

元件符號說明：

10~PMOS電晶體

20~NMOS電晶體

30~介面單元

32~電阻

34~電容

36~耐高壓NMOS電晶體

38~耐高壓PMOS電晶體



六、申請專利範圍

1. 一種電路裝置，操作於一操作電壓下，該裝置包含：

一第一電晶體，具有一第一崩潰電壓，該第一電晶體係於一第一工作電壓下操作；

一第二電晶體，具有一第二崩潰電壓，該第二電晶體係於一第二工作電壓下操作；及

一介面單元，與該第一電晶體和該第二電晶體串聯連接；

其中，該操作電壓高於該第一工作電壓，藉由該介面單元，使得該第一以及第二電晶體分別於該第一以及第二工作電壓下操作。

2. 如申請專利範圍第1項所述之電路裝置，其中該第一電晶體係為一PMOS電晶體。

3. 如申請專利範圍第1項所述之電路裝置，其中該第一電晶體係為一NMOS電晶體。

4. 如申請專利範圍第1項所述之電路裝置，其中該第二電晶體係為一NMOS電晶體。

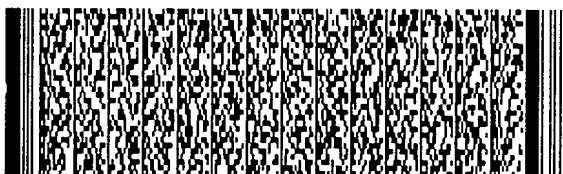
5. 如申請專利範圍第1項所述之電路裝置，其中該第二電晶體係為一PMOS電晶體。

6. 如申請專利範圍第1項所述之電路裝置，其中該介面單元包含：

一電阻；及

一電容，與該電阻並聯連接。

7. 如申請專利範圍第1項所述之電路裝置，其中該介



六、申請專利範圍

面單元是一第三電晶體，具有一第三崩潰電壓，該第三崩潰電壓之量值係高於該第一崩潰電壓。

8. 如申請專利範圍第7項所述之電路裝置，其中該第三電晶體具有一閘極，用以接收一第一控制訊號。

9. 如申請專利範圍第8項所述之電路裝置，其中該第三電晶體係為一NMOS電晶體。

10. 如申請專利範圍第9項所述之電路裝置，其中當該電路裝置處於一省電模式時，該第一控制訊號係為一低電位訊號。

11. 如申請專利範圍第8項所述之電路裝置，其中該第三電晶體係為一PMOS電晶體。

12. 如申請專利範圍第11項所述之電路裝置，其中當該電路裝置處於一省電模式時，該第一控制訊號係為一高電位訊號。

13. 如申請專利範圍第7項所述之電路裝置，其中該第三電晶體係為一CMOS電晶體。

14. 如申請專利範圍第7項所述之電路裝置，其中該第三電晶體操作於三極體區 (triode region) 或飽和區 (saturation region)。

15. 如申請專利範圍第1項所述之電路裝置，其中當該第一電晶體於該操作電壓下操作時，會使該第一電晶體發生崩潰 (avalanche breakdown)。

16. 一種電路裝置，操作於一操作電壓下，該電路裝置包含：



六、申請專利範圍

一第一電晶體，係於一第一工作電壓下工作，該第一電晶體之崩潰電壓為一第一崩潰電壓（breakdown voltage）；及

一介面單元，與該第一電晶體連接，該介面單元使得該第一工作電壓低於該第一崩潰電壓；

其中該操作電壓高於該第一崩潰電壓。

17. 如申請專利範圍第16項所述之電路裝置，其中該第一電晶體係為一PMOS電晶體。

18. 如申請專利範圍第16項所述之電路裝置，其中該第一電晶體係為一NMOS電晶體。

19. 如申請專利範圍第16項所述之電路裝置，其中該裝置更包括一第二電晶體，該第二電晶體可於一第二工作電壓下操作，該第二電晶體之崩潰電壓為一第二崩潰電壓，該第二電晶體係與該介面單元連接，該介面單元使得該第二工作電壓低於該第二崩潰電壓。

20. 如申請專利範圍第19項所述之電路裝置，其中該第二電晶體係為一NMOS電晶體。

21. 如申請專利範圍第19項所述之電路裝置，其中該第二電晶體係為一PMOS電晶體。

22. 如申請專利範圍第19項所述之電路裝置，其中該介面單元係分別與該第一電晶體及該第二電晶體連接。

23. 如申請專利範圍第16項所述之電路裝置，其中前述介面單元包含：

一電阻；及



六、申請專利範圍

一 電容，與該電阻並聯連接。

24. 如申請專利範圍第16項所述之電路裝置，其中前述介面單元為一第三電晶體。

25. 如申請專利範圍第24項所述之電路裝置，其中該第三電晶體具有一閘極，用以接收一第一控制訊號。

26. 如申請專利範圍第24項所述之電路裝置，其中該第三電晶體之崩潰電壓高於該第一崩潰電壓。

27. 如申請專利範圍第24項所述之電路裝置，其中該第三電晶體係為一NMOS電晶體。

28. 如申請專利範圍第27項所述之電路裝置，其中當該電路裝置處於一省電模式時，該第一控制訊號係為一低電位訊號。

29. 如申請專利範圍第24項所述之電路裝置，其中該第三電晶體係為一PMOS電晶體。

30. 如申請專利範圍第29項所述之電路裝置，其中當該電路裝置處於一省電模式時，該第一控制訊號係為一高電位訊號。

31. 如申請專利範圍第24項所述之電路裝置，其中該第三電晶體係為一CMOS電晶體。

32. 如申請專利範圍第16項所述之電路裝置，其中該第三電晶體操作於三極體區 (triode region) 或飽和區 (saturation region)。

33. 如申請專利範圍第16項所述之電路裝置，其中當該第一電晶體於該操作電壓操作時，會使該第一電晶體燒

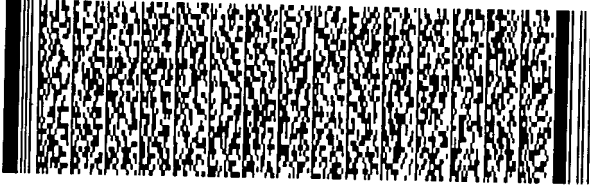


六、申請專利範圍

毀。



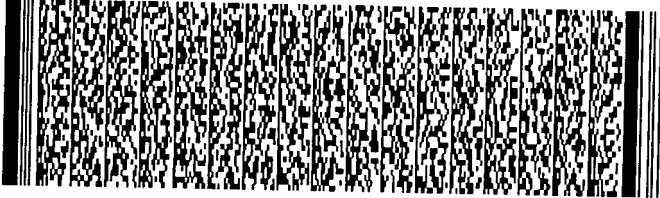
第 1/20 頁



第 2/20 頁



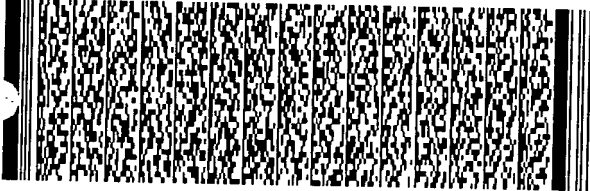
第 3/20 頁



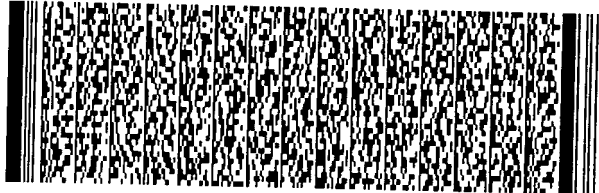
第 4/20 頁



第 5/20 頁



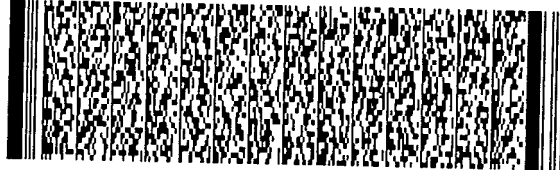
第 5/20 頁



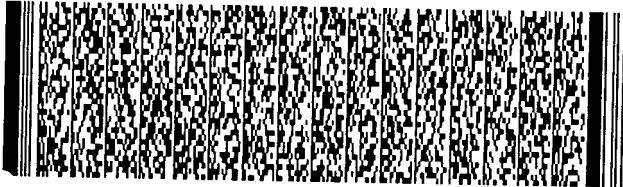
第 6/20 頁



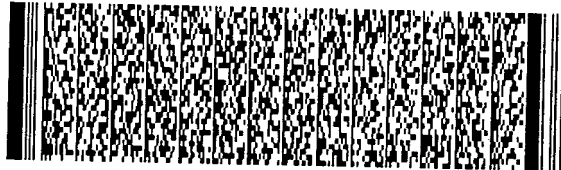
第 6/20 頁



第 7/20 頁



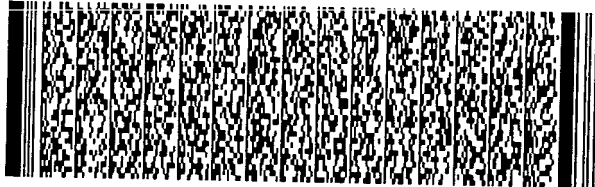
第 8/20 頁



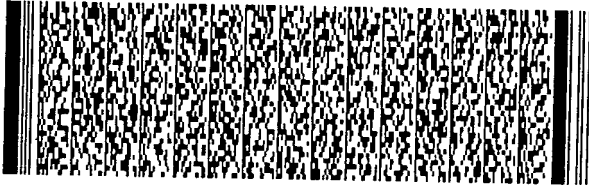
第 8/20 頁



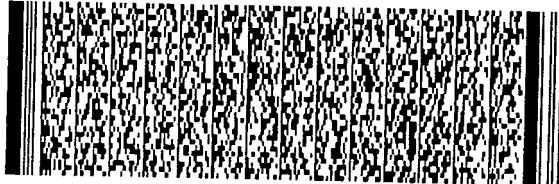
第 9/20 頁



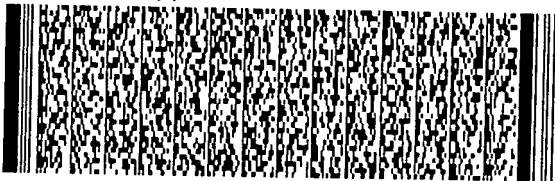
第 9/20 頁



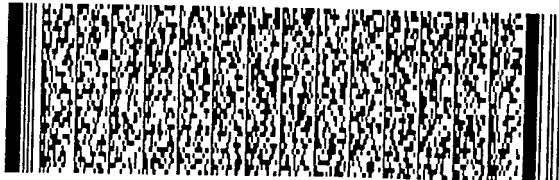
第 10/20 頁



第 10/20 頁



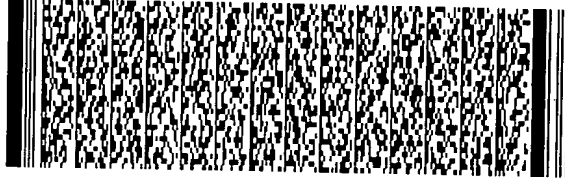
第 11/20 頁



第 11/20 頁



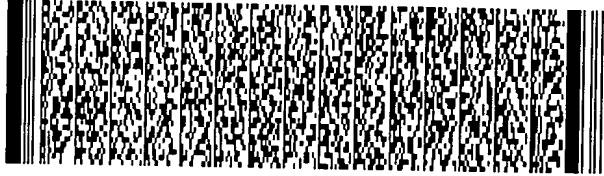
第 12/20 頁



第 12/20 頁



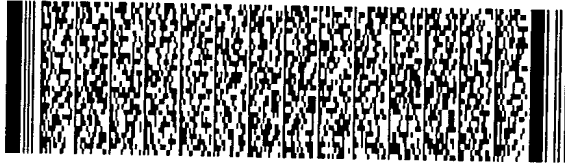
第 13/20 頁



第 13/20 頁



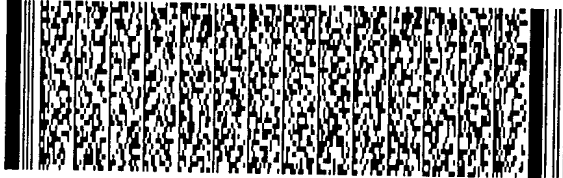
第 14/20 頁



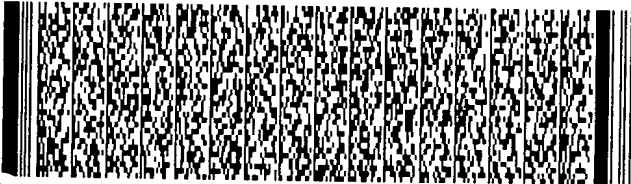
第 15/20 頁



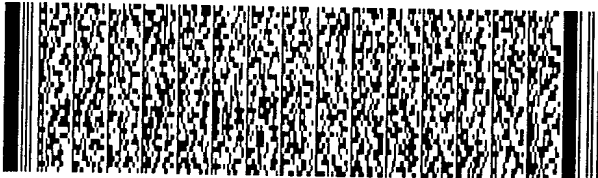
第 16/20 頁



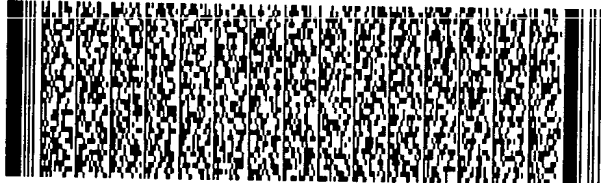
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁



圖 1

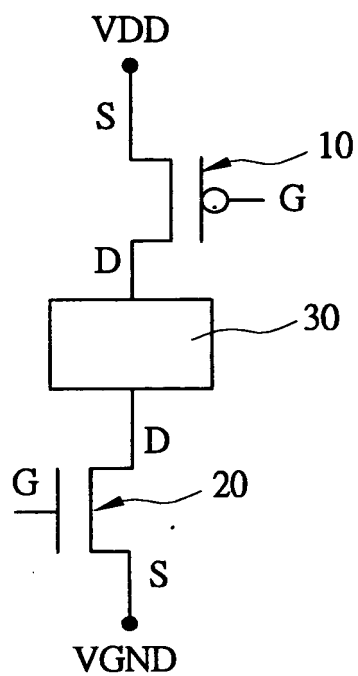


圖 2

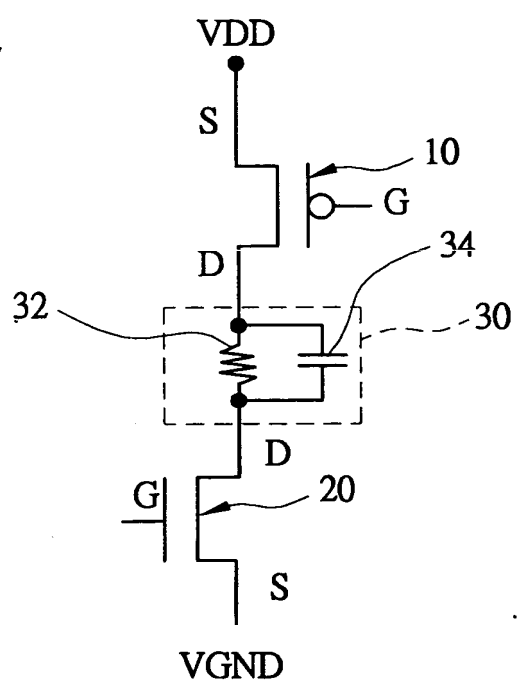


圖 3

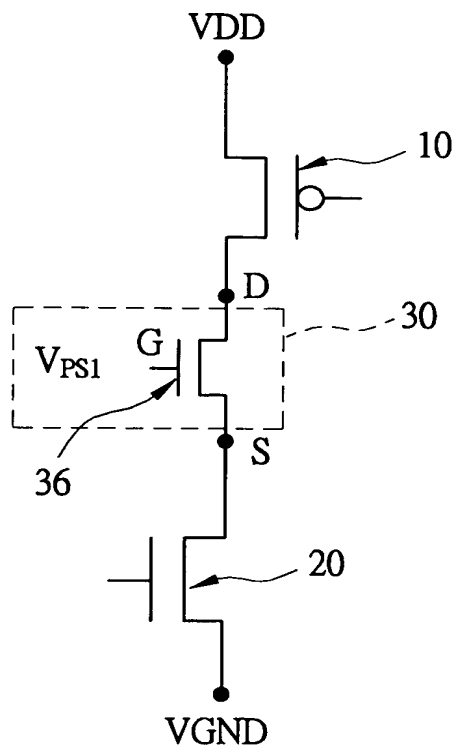


圖 4

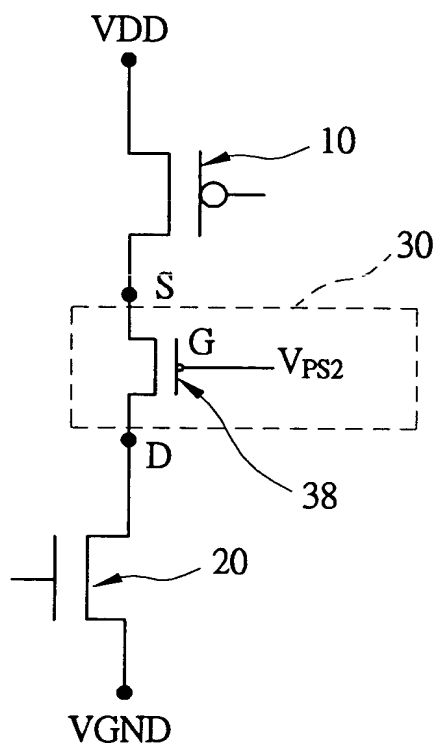


圖 5

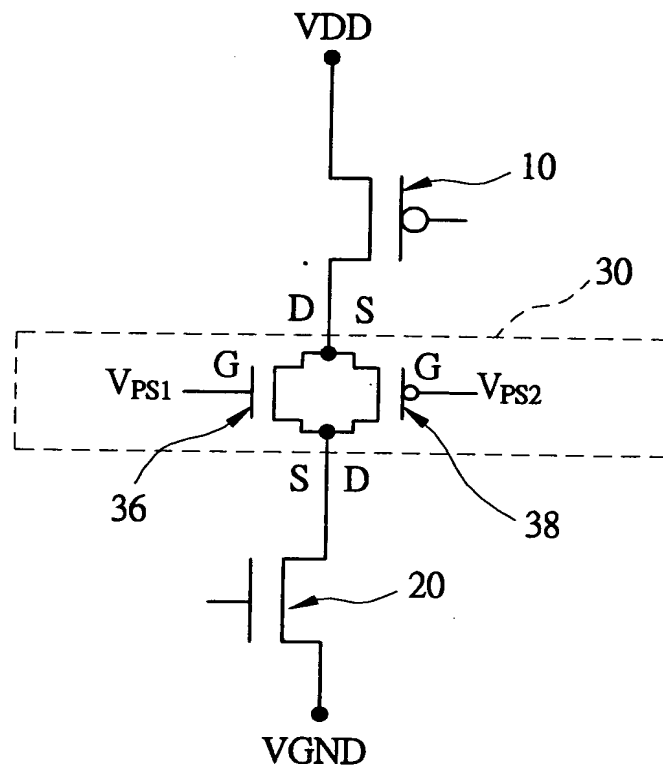


圖 6

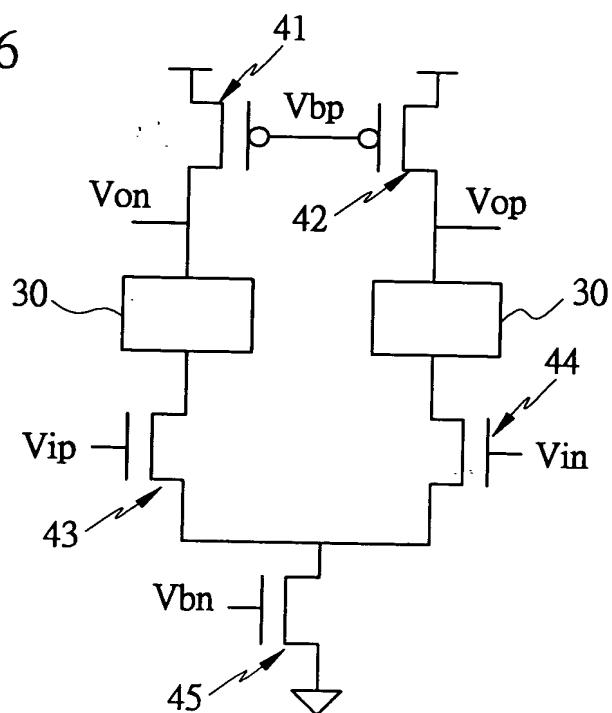


圖 7

